

550,796

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年10 月14 日 (14.10.2004)

PCT

(10) 国際公開番号  
WO 2004/088747 A1

(51) 国際特許分類<sup>7</sup>: H01L 21/82, 27/04  
(21) 国際出願番号: PCT/JP2004/004490  
(22) 国際出願日: 2004 年3 月30 日 (30.03.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2003-096093 2003 年3 月31 日 (31.03.2003) JP

Hideki) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 江尻 洋一 (EJIRI, Hirokazu) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 浅見 健司 (AZAMI, Kenji) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 大野 晃計 (OHNO, Terukazu) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 吉武 伸之 (YOSHITAKE, Nobuyuki) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).

(74) 代理人: 佐藤 隆久 (SATO, Takahisa); 〒1110052 東京都台東区柳橋 2 丁目 4 番 2 号 創造国際特許事務所 Tokyo (JP).

(72) 発明者; および

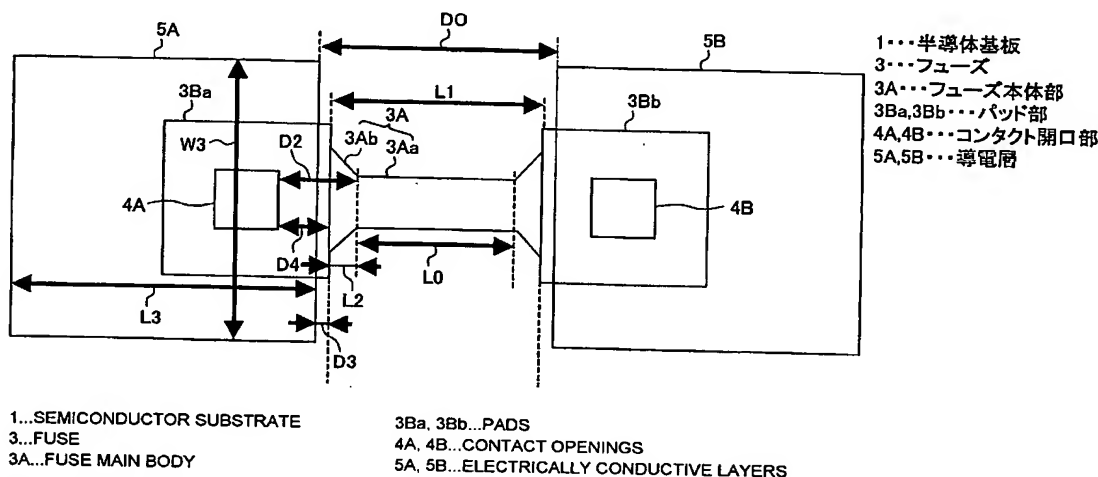
(75) 発明者/出願人 (米国についてのみ): 森 日出樹 (MORI,

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Reliable melting of a fuse (3) is made possible by stably separating the melt position of the fuse (3) from electrically conductive layers (5A, 5B). Formed in a laminate structure on a semiconductor substrate (1) are the fuse (3) provided with a fuse main body (3A) and two pads (3Ba, 3Bb) connected thereto, and the two electrically conductive layers (5A, 5B) connected one to each of the two pads (3Ba, 3Bb). The length of the fuse main body (3A) is so determined that when an electrical stress is applied between the two electrically conductive layers (5A, 5B) to melt the fuse (3), the melt region of the fuse (3) lies at a position in the fuse main body (3A) separated from a region where it would otherwise overlap the electrically conductive layer (5A or 5B).

(57) 要約: フューズ (3) の溶断箇所を安定的に導電層 (5A, 5B) から離すことにより確実なフューズ (3) の溶断を可能とする。フューズ本体部 (3A) と、これにより連結されている2つパッド部 (3Ba, 3Bb) とを備えているフューズ (3) と、2つのパッド部 (3Ba, 3Bb) のそれぞれに1つずつ接続されている2つの導電層 (5A, 5B) と、が半導体基板 (1) 上の積層構造内に形成されている。2つの導電層 (5A, 5B) 間にフューズ本体部 (3A) 内の位置に当該フューズ (3) の溶断部がくるように、フューズ本体部 (3A) の長さが規定されている。

WO 2004/088747 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG,

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 半導体装置

5

#### 技術分野

本発明は、半導体基板上の積層構造内に導電材料からなるフューズを有する半導体装置に関する。

#### 背景技術

10 従来、半導体集積回路（ＩＣ）の特性を調整する技術（トリミング技術）として、たとえばポリシリコンからなるフューズを用いるものと、ツェナーザップダイオードを用いるものがある。

フューズを用いたトリミング技術は、ＩＣ内のトランジスタのゲート電極または抵抗などに多用されているポリシリコン層の形成と同時にフューズの形成が可能であり、遮断したい電流路にフューズを挿入するだけの簡単な構成で特性調整  
15 が可能であることから広く用いられている。フューズの溶断は、一般に、レーザービーム照射により行うか、あるいは、フューズに電流を流すことにより達成する。

図９および図１０に、電流供給によりフューズを溶断するトリミング回路を、抵抗値を調整する場合を例として示す。図９は、トリミング回路の構成を示す回路図である。  
20

図９に示す回路の直列抵抗Ｒは、基準抵抗Ｒ０（抵抗値： $r_0$ ）とトリミング用抵抗Ｒ１，Ｒ２（抵抗値： $r_1$ ， $r_2$ ）により構成され、これらの抵抗Ｒ０～Ｒ２が直列接続されている。トリミング用抵抗Ｒ１，Ｒ２に対し、それぞれポリ  
25 シリコンからなるフューズＦ１，Ｆ２が並列に接続されている。基準抵抗Ｒ０とトリミング用抵抗Ｒ１との接続中点に電極パッドＰＤ１が接続され、トリミング

用抵抗 $R_1$ 、 $R_2$ の接続中点に電極パッドPD2が接続され、トリミング用抵抗 $R_2$ のもう一方の側に電極パッドPD3が接続されている。

図10Aおよび図10Bは、フューズF1の平面図および断面図である。半導体基板100上に絶縁膜101が形成され、絶縁膜101上にポリシリコンからなるフューズF1が形成されている。フューズF1を形成するポリシリコン層102は、2つのパッド部102Baおよび102Bbと、その間を連結するフューズ本体部102Aとからなる形状にパターンニングされている。さらに、フューズ本体部102Aは、フューズライン部102Aaと、コーナー部での電界集中を分散させるなどの理由からフューズライン部102Aaの両端から外側ほど幅広に形成された連結部102Abとからなる。

ポリシリコン層102上に、たとえば酸化シリコンまたは窒化シリコンなどからなる層間絶縁膜103が形成されている。層間絶縁膜103は、ポリシリコン層102の両端のパッド部102Baおよび102Bbのほぼ中央で開口され、これによりパッド開口部103Aと103Bが形成されている。層間絶縁膜103のパッド開口部103A、103Bより一回り大きなパターンにて電極層104Aと104Bが形成されている。電極層104Aと104Bは、配線としてICチップの周縁部に延び、ここで図9に示す電極パッドPD1、PD2に接続されている。

このような構成のトリミング回路では、たとえば、ICのウエハ工程最終段階における特性チェック時に、ICの特性測定結果に応じて、所定の特性を理想値に近づけるために、必要に応じてフューズF1またはF2の溶断を行う。具体的には、抵抗 $R$ の値が $r_0$ のままでよい場合にはフューズの溶断は行わないが、抵抗 $R$ の値を $r_0$ より大きくしたいときは、フューズF1またはF2の溶断を行う。フューズF1を溶断する際は、電極パッドPD1、PD2にそれぞれ針を立て、所定の電流を供給する。これにより、ポリシリコン層102のフューズ本体部102Aで電流密度が増大し、この部分でポリシリコン層102が溶断され、フ

ューズF 1が遮断状態となる。その結果、抵抗Rの値は $(r_0 + r_1)$ に変化する。同様に、電極パッドPD 2, PD 3からの電流供給によりフューズF 2を溶断させると抵抗Rの値は $(r_0 + r_2)$ に変化し、また、フューズF 1, F 2の双方を溶断させると抵抗Rの値は $(r_0 + r_1 + r_2)$ に変化する。

5      ところが、この従来のフューズではフューズの溶断箇所がばらつき、図10Aに示すポイントZ 1でフューズが溶断することがある。この場合、発熱によって電極層がフューズに溶け出し、ポリシリコンの溶断箇所をつなぐため、溶断が十分になされないという課題がある。

10

#### 発明の開示

本発明の目的は、フューズの溶断箇所を安定的に導電層から離すことができ、これにより確実にフューズ溶断が可能な半導体装置を提供することにある。

本発明に係る第1の半導体装置は、フューズ本体部(3A)と当該フューズ本体部(3A)によって連結されている2つのパッド部(3Ba, 3Bb)とを備  
15      えているフューズ(3)と、前記2つのパッド部(3Ba, 3Bb)のそれぞれに1つずつ接続されている2つの導電層(5A, 5B)と、が半導体基板(1)上の積層構造内に形成されている半導体装置であって、前記2つの導電層(5A, 5B)間に電氣的ストレスを印加し前記フューズ(3)を溶断したときに、前  
20      記導電層(5A, 5B)と重なる領域から離れた前記フューズ本体部(3A)内の位置に当該フューズ(3)の溶断部がくるように、前記フューズ本体部(3A)の長さ(L1)が規定されていることを特徴とする。

望ましくは、前記フューズ本体部(3A)の幅が前記2つのパッド部(3Ba, 3Bb)の各々の幅より小さく、前記フューズ本体部(3A)の長さ(L1)が $1.8\mu\text{m}$ より大きく $20\mu\text{m}$ 以下である。

25      本発明の第2の半導体装置は、フューズ本体部(3A)と当該フューズ本体部(3A)によって連結されている2つのパッド部(3Ba, 3Bb)とを備えて

いるフューズ（３）と、前記２つのパッド部（３Ｂａ，３Ｂｂ）のそれぞれに１つずつ接続されている２つの導電層（５Ａ，５Ｂ）と、が半導体基板（１）上の積層構造内に形成されている半導体装置であって、前記２つの導電層（５Ａ，５Ｂ）間に電氣的ストレスを印加し前記フューズ（３）を溶断したときに、前記導電層（５Ａ，５Ｂ）と重なる領域から離れた前記フューズ本体部（３Ａ）内の位置に当該フューズ（３）の溶断部がくるように、前記２つの導電層（５Ａ，５Ｂ）の少なくとも一方において、前記パッド部（３Ｂａ，３Ｂｂ）とのコンタクト領域（４Ａ，４Ｂ）を含む導電層（５Ａ，５Ｂ）部分の幅（Ｗ３）が規定されていることを特徴とする。

- 10 望ましくは、前記コンタクト領域（４Ａ，４Ｂ）を含む導電層（５Ａ，５Ｂ）部分の前記幅（Ｗ３）が $6\mu\text{m}$ 以上 $14\mu\text{m}$ 以下である。

上記第１または第２の半導体装置において、望ましくは、前記２つの導電層（５Ａ，５Ｂ）の少なくとも一方が、対応する前記パッド部（３Ｂａ，３Ｂｂ）に接続されている所定幅（Ｗ３）の部分と、当該所定幅（Ｗ３）の部分より幅が狭い配線部分とを有する。或いは、望ましくは、前記２つの導電層（５Ａ，５Ｂ）の少なくとも一方に、当該導電層（５Ａ，５Ｂ）より幅が狭い配線層が接続されている。

- 15 20 また、前記２つの導電層（５Ａ，５Ｂ）間の距離（Ｄ０）が、前記フューズ（３）の前記２つのパッド部（３Ｂａ，３Ｂｂ）間の距離（Ｌ１）より大きいことが望ましい。

さらに、前記２つの導電層（５Ａ，５Ｂ）の少なくとも一方において、当該導電層（５Ａ，５Ｂ）と前記パッド部（３Ｂａ，３Ｂｂ）とを接続するコンタクト領域（４Ａ，４Ｂ）から前記フューズ本体部（３Ａ）に接したパッド部（３Ｂａ，３Ｂｂ）エッジまでの距離（Ｄ４）が $0.25\mu\text{m}$ 以上で $0.90\mu\text{m}$ 以下であることが望ましい。

上記第１または第２の半導体装置によれば、前記２つの導電層（５Ａ，５Ｂ）

間に電氣的ストレスを印加したときに、正極側の導電層（５Ａまたは５Ｂ）から  
コンタクト領域（４Ａまたは４Ｂ）を介してフューズ（３）に電流が流れる。こ  
れによりフューズ（３）内をジュール熱による熱伝導および放熱が起こり、その  
熱の一部が主に２つの導電層（５Ａ，５Ｂ）に逃げる。また、フューズ（３）内  
5 を熱伝効果による熱の移動が起きる。このため加熱のピーク点がフューズ（３）  
の中心から正極側の導電層（５Ａまたは５Ｂ）側に偏る。

本発明に係る第１の半導体装置では、フューズ本体部（３Ａ）の長さ（Ｌ１）  
が適切に規定されているため、加熱ピーク点が正極側の導電層（５Ａまたは５Ｂ）  
に極端に近づくことがない。その結果、導電層（５Ａ，５Ｂ）と重なるフュー  
10 ズ（３）の領域よりフューズ本体部（３Ａ）の中心寄りの位置、即ち導電層端か  
ら離れた位置でフューズ（３）の溶断が起きる。

また、本発明に係る第２の半導体装置では、導電層（５Ａ，５Ｂ）と重なるフ  
ューズ（３）の領域よりフューズ本体部（３Ａ）の中心寄りに、フューズ（３）  
の溶断位置がくるように、パッド部とのコンタクト領域を含む導電層部分の幅が  
15 規定されている。このため、発熱と放熱のバランスがとれ、導電層端から離れた  
位置でフューズ（３）の溶断が起きる。

このようにフューズ（３）の溶断位置が導電層（５Ａ，５Ｂ）にあまり近づか  
ないように、フューズ本体部（３Ａ）の長さ（Ｌ１）が適切に設定されているこ  
とから、導電層（５Ａ，５Ｂ）のエッジ部分で当該導電層（５Ａ，５Ｂ）とフュー  
20 ズ（３）間のショートが生じにくい。その結果、フューズ遮断時の抵抗を十分  
かつ安定に高くすることができ、フューズ不良率を低減できる。

その結果、当該半導体装置は、フューズ不良を殆ど意識しなくてもよくなり、  
フューズ（３）のチェックの手間、コストが省ける。

また、フューズ（３）の選択回路（１０）を有する場合、製品出荷時にフュー  
25 ズ（３）による特性調整の要／不要およびフューズ不良の検出が行えるようにな  
り、不良率が低く使いやすい半導体製品を提供することが可能となる。

## 図面の簡単な説明

図 1 A は、本発明の実施の形態に係るフューズの平面図である。図 1 B は、その断面図である。

5 図 2 は、導電層幅のカット時間依存性を示すグラフである。

図 3 は、パッド部エッジとコンタクト領域間距離のカット時間依存性を示すグラフである。

図 4 は、フューズ本体部長さのカット時間依存性を示すグラフである。

10 図 5 は、長い時間バイアスを印加して溶断を行うことによって抵抗値が規格外となったフューズについて、その SEM 写真を元に描いた簡略断面図である。

図 6 は、斜め破断が生じたフューズの SEM 写真を元に描いた簡略断面図である。

図 7 A ~ 図 7 C は、フューズ本体長さ  $L_1$  を、 $1.8 \mu m$  を中心に変化させたときの溶断後の SEM 写真を元に描いた簡略断面図である。

15 図 8 は、本発明の第 2 の実施の形態に係るフューズ選択回路を含む駆動電圧制御回路の構成を示す回路図である。

図 9 は、電流供給によりフューズを溶断するトリミング回路図である。

図 10 A は、トリミング回路のフューズ構成を示す平面図である。図 10 B は、その断面図である。

20

## 発明を実施するための最良の形態

## [第 1 の実施の形態]

図 1 A および図 1 B に、本発明の実施の形態に係るフューズの平面図と断面図を示す。

25 半導体基板 1 上に絶縁膜 2 が形成され、絶縁膜 2 上にポリシリコンなどの導電材料からなるフューズ 3 が形成されている。フューズ 3 は、2 つのパッド部 3 B



a および 3 B b と、その間を連結するフューズ本体部 3 A とからなる。フューズ本体部 3 A は、フューズライン部 3 A a と、コーナー部での電界集中を分散させるなどの理由からフューズライン部 3 A a の両端それぞれで、外側ほど幅広に形成された連結部 3 A b とからなる。これらフューズライン部 3 A a 、 2 つの連結部 3 A b 、 2 つのパッド部 3 B a および 3 B b は、たとえばポリシリコン膜に P 型または N 型の不純物を導入して形成される導電膜をパターンニングすることにより一括して形成される。

フューズ 3 上に、たとえば酸化シリコンまたは窒化シリコンなどからなる層間絶縁膜 4 が形成されている。層間絶縁膜 4 は、フューズ 3 の両端のパッド部 3 B a および 3 B b のほぼ中央で開口され、これにより開口部 4 A と 4 B が形成されている。層間絶縁膜 4 の開口部 4 A 、 4 B より一回り大きなパターンにて導電層 5 A と 5 B が形成されている。なお、開口部 4 A と 4 B は、本発明の“コンタクト領域”の実施の形態を構成する。

ここで、このような構成のフューズにおいて各部の長さ L 、幅 W 、および各部間の距離 D を、図 1 A に示すように定義する。長さ L はフューズに流す電流方向の寸法であり、幅 W は電流方向と直交する方向の寸法をいう。

フューズライン部 3 A a の長さを L 0 、フューズ本体部 3 A の長さを L 1 、連結部 3 A b の長さを L 2 、 2 つの導電層 5 A および 5 B の長さを L 3 とする。また、導電層 5 A および 5 B の、コンタクト領域 4 A または 4 B を含む部分の幅を W 3 とする。さらに、導電層 5 A と 5 B の離間寸法を D 0 、フューズライン部 3 A a とコンタクト領域 4 A との距離、および、もう片方のコンタクト領域 4 B とフューズライン部 3 A a との距離を D 2 、フューズ本体部 3 A と導電層 5 A または 5 B との距離を D 3 、コンタクト領域 4 A からパッド部 3 B a のフューズ側端までの距離、および、コンタクト領域 4 B からパッド部 3 B b のフューズ側端までの距離を D 4 とする。

なお、フューズ 3 は、必ずしも図 1 A に示すように左右対称に形成されている

必要はない。非対称の場合、上記長さL、幅Wおよび距離Dの定義は、少なくとも、バイアス時に正極となる側で適用される。以下、導電層5Aが正極側であると仮定する。

また、フューズ本体部と導電層との距離D3は0であってもよい。但し、パッド部に比べ抵抗値が高く溶断が起こるフューズ本体部を導電層5Aから離すことができる点では距離D3が正の値を有することが望ましい。逆に距離D3が大きすぎると距離D2が大きくなり、フューズ本体部3Aから電流供給点（コンタクト領域4A）までが離れすぎて加熱に余り寄与しない抵抗成分が増加することから、その点で適切な範囲が存在する。

さらに、連結部3Abは幅がパッド部側ほど大きい形状を有しているが、その形状、および連結部3Abの有無は任意である。

本実施の形態では、あるバイアス条件の下で、フューズ3の3次元形状、即ち膜厚および平面パターン並びにフューズ3の材料、少なくとも正極側の導電層5Aの3次元形状、即ち膜厚および平面パターン並びに導電層の材料、さらには、上記で定義した各種構造パラメータにより、フューズの溶断位置が変化する。

種々の検討により、この各種構造パラメータの中でフューズの溶断位置を大きく左右するものは、フューズ本体部の長さL1、コンタクト領域4Aを含む導電層部分の幅W3、フューズライン部3Aaとコンタクト領域4Aとの距離D2、および、コンタクト領域4Aからパッド部端までの距離D4であることが分かった。フューズライン部3Aaの幅に比べると、その長さL0またはフューズ本体部3Aの長さL1が溶断部の位置に大きく影響する。また、導電層5Aの長さL3は放熱能力に影響するが、導電層5Aのコンタクト領域4Aの幅W3の方が溶断部の位置に大きく影響する。

これらの知見に基づいて、以下、3つの構造パラメータL1、W3およびD4それぞれについて、フューズを溶断する時間（以下、カット時間という）の依存性を調べた結果について述べる。なお、フューズラインとコンタクト領域との距

離D 2については、図1 Aの構造では影響が大きい部類に入ることには分かっているが、本実施の形態で連結部3 A bの有無が任意であることから、ここでの検討は行っていない。

3つの構造パラメータL 1, W 3およびD 4の何れかを変化させるが、残りの  
5 パラメータは典型値を用いた。典型的な他の構造パラメータを述べると、フューズ本体部の長さL 1および導電層間距離D 0が各々2. 5~6. 0  $\mu\text{m}$ 、導電層の長さL 3および幅W 3が各々6~10  $\mu\text{m}$ 、フューズライン部3 A aの幅が0. 数 $\mu\text{m}$ 、距離D 2, D 3およびD 4が、それぞれ0. 5~1. 5  $\mu\text{m}$ , 0. 01~0. 3  $\mu\text{m}$ および0. 数 $\mu\text{m}$ である。また、絶縁膜2の厚さが数百nm、ポ  
10 リシリコン膜厚が数十~250 nm、シリコン酸化膜4の厚さが200~500 nmとした。導電層は、下層から順にTi/TiON/Ti/Al/TiONにより構成されている。このときフューズは、初期抵抗値が500~800  $\Omega$ 、シート抵抗が数十~150  $\Omega/\square$ )であった。

図2に、導電層幅W 3のカット時間依存性を示す。導電層幅W 3は小さ過ぎても  
15 も大き過ぎてもカット時間が長くなる。また、カット時間が1  $\mu\text{s}$ 以下において、導電層幅W 3が6  $\mu\text{m}$ 以上で14  $\mu\text{m}$ 以下の最適範囲をとる。ここで、1  $\mu\text{s}$ のカット時間を基準とするのは、フューズ溶断とみなす抵抗規格20 M $\Omega$ 以上を満たさないフューズは、その溶断にかかった時間が1  $\mu\text{s}$ を超えると発生し始めることが、種々の構造パラメータを変化させたばらつきデータから経験的に判明  
20 しているからである。特に、図2に示すように、導電層幅W 3を6  $\mu\text{m}$ より小さくすると、フューズを溶断させて抵抗値を20 M $\Omega$ 以上の規格内にするためのカット時間が急激に長くなる。

この1  $\mu\text{s}$ より長い時間バイアスを印加して溶断を行うことによって抵抗値が規格外となったフューズをSEMにより解析した。その素子断面SEM写真を元  
25 に描いた簡略断面図を、図5に示す。

この図5から、ポリシリコン膜3の破断箇所Zが正電圧を印加した導電層(A

1 電極) 5 A 側に位置している。この正極側では、Ti/TiON/Ti 層 5 C  
が溶出し、ポリシリコンとの合金層が形成されている。また、接地電位を付与し  
た導電層 5 B 側でアルミニウム (A 1) が溶出し、これとポリシリコンとの合金  
層が形成されている。これらの合金層はポリシリコンより低抵抗な層であり、こ  
5 のような合金層の存在によってフューズの抵抗値が抵抗規格 20 MΩ 以上を満足  
できなくなる。

図 3 に、パッド部エッジとコンタクト領域間距離 D 4 のカット時間依存性を示  
す。

この距離 D 4 も、図 2 に示す導電層幅 W 3 と同じような傾向のカット時間依存  
10 性を示しており、距離 D 4 は小さ過ぎても大き過ぎてもカット時間が長くなる。  
また、カット時間が 1 μs 以下において、距離 D 4 が 0.25 μm 以上で 0.9  
0 μm 以下の最適範囲をとる。ここで、最適範囲の基準として同様に 1 μs のカ  
ット時間を用いている。特に、図 3 に示すように、距離 D 4 を 0.25 μm より  
小さくすると、フューズを溶断させて抵抗値を 20 MΩ 以上の規格内にするため  
15 のカット時間が急激に長くなる。これは、前記した図 5 と同様に、バイアス印加  
時間を長くすると、Ti/TiON/Ti 層とポリシリコンとの合金層、或いは  
、アルミニウム (A 1) とポリシリコンとの合金層が形成され、これによりカッ  
ト後のフューズ抵抗値がある程度までしか大きくならないからである。

図 4 に、フューズ本体部長さ L 1 のカット時間依存性を示す。

20 フューズ本体部長さ L 1 は、導電層幅 W 3 や距離 D 4 とカット時間依存性の傾  
向が異なっている。長さ L 1 は小さくしていくと約 1.55 μm 付近からカット  
時間が急激に長くなる。ところが、長さ L 1 を長くしていくとカット時間が短く  
なる一方であり、長さ L 1 がある長さになると飽和し、これ以上は殆どカット時  
間の変化が見られなくなる。さらに、フューズ本体部の長さ L 1 を長くすると、  
25 いかなるバイアス条件でもフューズがカットされない限界が存在することも判明  
した。この限界点は、様々な構造パラメータがばらついたサンプルで実験的に確

かめると、フューズ本体部の長さ $L_1$ が約 $20\mu\text{m}$ のときであった。したがって、先の2例の場合と同じ、 $1\mu\text{s}$ 以下のカット時間を適用すると、フューズ本体部長さ $L_1$ の範囲を「 $1.55\mu\text{m}$ 以上 $20\mu\text{m}$ 以下」と規定することができる。

- 5 但し、フューズ本体部長さ $L_1$ については、斜め破断というもう一つの観点からの制限を加える必要がある。斜め破断とは、 $T_i/T_{iON}/T_i$ 層とポリシリコンとの合金層、或いは、アルミニウム(A1)とポリシリコンとの合金層が、コンタクト領域4Aまたは4Bで起こるのではなく、正極側の導電層5Aのエッジ直下で層間絶縁膜4が破れ、この箇所でポリシリコンの合金化が起こる現象
- 10 をいう。

図6に、斜め破断が生じたフューズのSEM写真を元に描いた簡略断面図を示す。斜め破断が起これば、フューズの短絡が起こるため急激に抵抗値が低下する。その結果、フューズ抵抗値は、その溶断とみなす抵抗規格値「 $20\text{M}\Omega$ 以上」を大きく下回ってしまう。

- 15 前記したフューズ本体部長さ $L_1$ の範囲「 $1.55\mu\text{m}$ 以上 $20\mu\text{m}$ 以下」が、フューズ溶断の不良率低減のための最適範囲といえるためには、その下限値側が、斜め破断が起これないための条件に適合しなければならない。すなわち、フューズの破断箇所が少しでも導電層5Aのエッジにかかると、斜め破断の確率が急激に増大することから、そのようなことがないようにフューズ本体部長さ $L_1$
- 20 の範囲が制限されなければならない。

図7A～図7Cに、フューズ本体長さ $L_1=1.8\mu\text{m}$ を中心に变化させたときの溶断後のSEM写真を元に描いた簡略断面を示す。

- 長さ $L_1$ が $1.8\mu\text{m}$ より小さいときは、図7Aに示すように、フューズの破断位置中心 $Z_1$ が導電層5Aの下方に位置する。このとき斜め破断の確率はかなり高い。フューズの破断位置中心 $Z_2$ が導電層5Aのエッジとほぼ一致する図7Bは、フューズ本体部長さ $L_1$ が $1.8\mu\text{m}$ である。このときも斜め破断の確率
- 25

は高いが、これより少しでも長さ $L_1$ が大きくなると斜め破断の確率が低下する。そして、図7Cのように、フューズ本体部長さ $L_1$ が $1.8\mu\text{m}$ より十分大きくなると、破断位置中心 $Z_3$ が導電層5Aのエッジから大きく離れるため、斜め破断の可能性は殆どなくなる。図7Aの場合、フューズの分離部分がほとんど接  
5 触しかけているためカット時間がかなり長くなる。図7Bの場合、フューズの分離部分がかなり離れているためカット時間が急激に低下して規格( $1\mu\text{s}$ 以内)に入ることがある。但し、斜め破断の可能性があるため、場合によっては規格を外れる虞が残されている。図7Bの場合よりもフューズ本体長さ $L_1$ が少しでも長くなると、斜め破断の可能性が低下するためカット時間が規格内に入るようになる。図7Cのように、フューズの分離が十分になると、それ以上分離距離が離  
10 れた場合でも抵抗値は大きく変化しないため、カット時間も低い側で安定する。

このようにフューズ本体長さ $L_1$ が $1.8\mu\text{m}$ の値が、現実的な範囲の下限境界となると言える。よって、フューズ本体長さ $L_1$ の適切な範囲は「 $1.55\mu\text{m}$ 以上で $20\mu\text{m}$ 以下」、さらに望ましくは「 $1.8\mu\text{m}$ より大きく $20\mu\text{m}$ 以下」  
15 となる。

本実施の形態によれば、前述した3つの構造パラメータ $L_1$ 、 $W_3$ および $D_4$ のうち1つ、或いは複数の任意のパラメータを組み合わせることにより、フューズ溶断後の抵抗値が規格外となる可能性を大幅に低減することができる。

従来は、フューズ溶断不良の発生率が相対的に高かったことから、その不良が  
20 発生したチップは、フューズによる特性のトリミングが行えないままパッケージ組み立て工程に送られることがあった。その場合、組み立て後の出荷前検査での上記特性不良率が高くなることがあり、材料費等の無駄が多かった。或いは、フューズ溶断不良が発生したチップをPC(ペレットチェック)不良として組み立て工程に送らないようにすることもできるが、フューズ溶断不良は、そのトリミ  
25 ング対象である特性の良否とは無関係である。したがって、このようにすると、本来良品であるはずのチップがウエハプロセス段階で不良品として落とされ、こ

の場合も材料費の無駄が発生する場合がある。

本実施の形態では、構造パラメータ  $L_1$ 、 $W_3$  および  $D_4$  の最適化によりフューズ不良率を大幅に低減することが可能なことから、例えば、パッケージに組み立てた後、あるいはベアチップをモジュールに組み込んだ後での特性トリミングを行っても、それによる経費の無駄は軽微なものとなる。

なお、幅  $W_3$  を有する導電層 5 A および 5 B は、その長さ  $L_3$  を規定しないで通常の配線として用いても良いが、幅  $W_3$  は通常の配線幅より大きくなることが多い。この場合、少なくとも正極側の導電層、例えば導電層 5 A のみ、あるいは双方の導電層 5 A と 5 B を配線層の幅広の先端部分として規定することができる。この場合、配線層と導電層 5 A または 5 B とは、1 つの導電膜をパターンニングすることによって一括形成される。或いは、配線層と導電層 5 A および 5 B とを、半導体基板上の多層膜構造の異なる階層から形成することができる。たとえば、導電層 5 A および 5 B を第 1 (1 層目) の A 1 層から形成し、これに不図示のコンタクトプラグを介して接続される第 2 (2 層目) の A 1 層から配線層を形成することができる。

#### [第 2 の実施の形態]

本実施の形態は、フューズ選択回路を備えた半導体装置に関する。フューズは、構造パラメータ  $L_1$ 、 $W_3$  および  $D_4$  の何れも最適化されていないものであっても良いが、第 1 実施の形態で述べた構造のフューズを用いることが望ましい。このフューズを用いると出荷検査時の特性不良率を向上させることができることは先に述べたが、本実施の形態は、さらに出荷検査時の特性トリミングを行って当該特性の不良率を向上させるためにフューズを電氣的に選択する手段を有することを特徴とする。

図 8 は、LCD 駆動 IC 等に搭載されている駆動電圧制御回路の構成を示す回路図である。

この特性調整回路 (駆動電圧調整回路) は、ダブルポリフューズ構成を有して

いる。フューズFUSE AとFUSE Bが駆動電圧VFUSEの供給線に並列接続されている。このフューズを選択する回路10は、5つのナンドゲートN1～N5、2つのインバータI1とI2、4つのPMOSトランジスタMP1～MP4、2つのNMOSトランジスタMN1とMN2、3つの抵抗R1～R3、および、4つのバイポーラトランジスタQ1～Q4とを有する。トランジスタMP1, MP2, MP3およびMN1が電源電圧V<sub>cc</sub>と接地電位GNDとの間に接続されている。同様に、トランジスタMP1, MP2, MP4およびMN2が、抵抗R1, トランジスタQ1および抵抗R2が、抵抗R1, トランジスタQ2および抵抗R3が、それぞれ電源電圧V<sub>cc</sub>と接地電位GNDとの間に接続されている。

トランジスタMP1のゲートにナンドゲートN1の出力VGPが入力され、ナンドゲートN1の2つの入力に制御信号ENDXとFLGとが入力される。制御信号ENDXとFLGは、ナンドゲートN2にも入力され、その出力ACTXがトランジスタMN1とMN2のゲートと、インバータI2の反転入力に入力される。インバータの出力ACTは、ナンドゲートN3, N4およびN5に入力される。ナンドゲートN3とN4に信号CUTが入力され、ナンドゲートN3とインバータI1にフューズを選択信号SELが入力される。インバータI1の出力はナンドゲートN4に入力され、その出力CUTAXがトランジスタMP3のゲートに入力される。一方、ナンドゲートN3の出力CUTBXがトランジスタMP2のゲートに出力され、ナンドゲートN5の入力にデータ信号DATAが入力される。

トランジスタMP3とMN1との接続中点の電位が、トランジスタQ2のベースに印加され、それによってトランジスタQ2がオンまたはオフする。トランジスタQ2のエミッタ電位が変化すると、それにより高耐圧のトランジスタQ4がオンまたはオフする。これにより、フューズFUSE Bの電流がオンまたはオフする。同様に、トランジスタMP4とMN2との接続中点の電位が、トランジス



タQ1のベースに印加され、それによってトランジスタQ1がオンまたはオフする。トランジスタQ1のエミッタ電位が変化すると、それにより高耐圧のトランジスタQ3がオンまたはオフする。これにより、フューズFUSEAの電流がオンまたはオフする。

- 5 つぎに、この回路動作の詳細を、フューズFUSEBが選択される場合を例に、さらに詳細に説明する。この動作時にアクティブとなる線を、図8において太線で示している。

フューズ不良検出モードでは、制御信号ENDXとFLGがともに「H」であるから、ナンドゲートN1の出力VGPが「L」し、トランジスタMP1がオン  
10 可能な状態となっている。また、ナンドゲートN2の出力ACTXが「L」、その反転信号ACTが「H」となっている。この信号ACTが「H」であることから、ナンドゲートN5は、データ信号DATAに応じてトランジスタMP2を制御可能な状態となっている。つまり、データ信号DATAが「L」の場合は、トランジスタMP2がオンし得ないので、フューズカットは一切行われませんが、デ  
15 ータ信号DATAが「H」の場合は、フューズカット指令が出され、ナンドゲートN5の制御によってトランジスタMP2がオン可能な状態となる。

この状態で、フューズカットの許可信号CUTが「H」、フューズ選択信号が「L」となると、ナンドゲートN3の出力CUTBXが「H」、ナンドゲートN4の出力CUTAXが「L」となる。その結果、トランジスタMP3がオン可能な状態、MP4がオフ状態となる。NMOSトランジスタMN1とMN2はオフ  
20 しているので、トランジスタQ2のベースに「H」の電位が印加される。この「H」電位はトランジスタQ4のベースに伝達され、その結果、フューズFUSEBに、たとえば数十mA程度の電流が流れ、フューズFUSEBがカットされる。

- 25 一方、選択信号SELが「L」なので、ナンドゲートの出力CUTBXは「H」となりフューズFUSEA側の制御トランジスタMP4、Q1およびQ3はオ

フしたままであり、その結果、フューズFUSE Aに電流が流れない。

5      フューズFUSE AとトランジスタQ 3との接続中点電位は、フューズFUSE Aの抵抗値を反映したものとなり、同様に、フューズFUSE BとトランジスタQ 4との接続中点電位は、フューズFUSE Bの抵抗値を反映したものとなる。  
。これらの2つの出力に基づいて、C/S判定回路20が、フューズ抵抗値が規格を満たしているか否かを判断する。フューズ抵抗値が十分高い場合は、その出力信号OUTがカット状態を示す「H」を出力し、初期状態およびフューズ不良で抵抗値が十分高くない場合は、その出力信号OUTがショート状態を示す「L」を出力する。

10      このダブルポリフューズ構成では、片方のフューズ溶断に不具合が出て、もう片方のフューズが不良でない限り、特性調整の役目を遂行できる。2つのフューズがともに不良となる確立は極めて低いので、出荷検査で特性調整不能となることは殆どない。

15      なお、不良率が向上した第1の実施の形態のフューズを用いた場合、シングルフューズ構成でも十分に信頼性を高くできる。その場合、1系統の制御トランジスタ群とセレクト信号の制御系回路を省略できる。

本実施の形態では、このようなフューズ選択回路を多数組み合わせることによって、例えばLCDドライバICの液晶駆動電圧の微調整を容易に行うことができる。

20      LCDパネルでは、高解像度化が進み1パネルを駆動するICの個数が増えている。そのためドライバIC間の特性差によって画面に見える縦筋を有効に防止することが重要となってきた。そのためには、内部データに応じて電氣的に、駆動出力電圧を調整する機能を搭載したICが望まれる。

25      このフューズ選択回路10およびC/S判定回路20は、内部データDATによってフューズによる特性調整の要・不要を自動検出し、また、フューズ不良の有無を電氣的に行うことができる。このため、特にパッケージ組み立て後のIC

、あるいは、携帯機器のパネル駆動回路などのように実装スペースがなく I C チップをベアで基板に組み付けた場合でも、その後、外部から電氣的にフューズによる特性調整の要・不要およびフューズ不良の検出が行えるという大きな利点が得られる。なお、この機能を有するといっても、本構成によりフューズ不良検出

5    をウエハ或いはチップ段階で行うことは排除するものではない。

## 請求の範囲

1. フューズ本体部 (3 A) と当該フューズ本体部 (3 A) によって連結されている 2 つのパッド部 (3 B a, 3 B b) とを備えているフューズ (3) と、  
5 前記 2 つのパッド部 (3 B a, 3 B b) のそれぞれに 1 つずつ接続されている 2 つの導電層 (5 A, 5 B) と、が半導体基板 (1) 上の積層構造内に形成されている半導体装置であって、

前記 2 つの導電層 (5 A, 5 B) 間に電氣的ストレスを印加し前記フューズ (3) を溶断したときに、前記導電層 (5 A, 5 B) と重なる領域から離れた前記フューズ本体部 (3 A) 内の位置に当該フューズ (3) の溶断部がくるように、前記フューズ本体部 (3 A) の長さ (L 1) が規定されていることを特徴とする半導体装置。  
10

2. 前記フューズ本体部 (3 A) の幅が前記 2 つのパッド部 (3 B a, 3 B b) の各々の幅より小さく、

15 前記フューズ本体部 (3 A) の長さ (L 1) が  $1.8 \mu\text{m}$  より大きく  $20 \mu\text{m}$  以下である

ことを特徴とする請求項 1 に記載の半導体装置。

3. 前記 2 つの導電層 (5 A, 5 B) の少なくとも一方が、対応する前記パッド部 (3 B a, 3 B b) に接続されている所定幅 (W 3) の部分と、

20 当該所定幅 (W 3) の部分より幅が狭い配線部分と、

を有することを特徴とする請求項 1 に記載の半導体装置。

4. 前記 2 つの導電層 (5 A, 5 B) の少なくとも一方に、当該導電層 (5 A, 5 B) より幅が狭い配線層が接続されていることを特徴とする請求項 1 に記載の半導体装置。

25 5. 前記 2 つの導電層 (5 A, 5 B) の少なくとも一方において、前記パッド部 (3 B a, 3 B b) とのコンタクト領域 (4 A, 4 B) を含む導電層 (5 A

， 5 B）部分の幅（W 3）が  $6\ \mu\text{m}$ 以上  $14\ \mu\text{m}$ 以下であることを特徴とする請求項 1 に記載の半導体装置。

6．前記 2 つの導電層（5 A， 5 B）間の距離（D 0）が、前記フューズ（3）の前記 2 つのパッド部（3 B a， 3 B b）間の距離（L 1）より大きいことを特徴とする請求項 1 に記載の半導体装置。

7．前記 2 つの導電層（5 A， 5 B）の少なくとも一方において、当該導電層（5 A， 5 B）と前記パッド部（3 B a， 3 B b）とを接続するコンタクト領域（4 A， 4 B）から前記フューズ本体部（3 A）に接したパッド部（3 B a， 3 B b）エッジまでの距離（D 4）が  $0.25\ \mu\text{m}$ 以上で  $0.90\ \mu\text{m}$ 以下であることを特徴とする請求項 1 に記載の半導体装置。

8．フューズ本体部（3 A）と当該フューズ本体部（3 A）によって連結されている 2 つのパッド部（3 B a， 3 B b）とを備えているフューズ（3）と、前記 2 つのパッド部（3 B a， 3 B b）のそれぞれに 1 つずつ接続されている 2 つの導電層（5 A， 5 B）と、が半導体基板（1）上の積層構造内に形成されている半導体装置であって、

前記 2 つの導電層（5 A， 5 B）間に電氣的ストレスを印加し前記フューズ（3）を溶断したときに、前記導電層（5 A， 5 B）と重なる領域から離れた前記フューズ本体部（3 A）内の位置に当該フューズ（3）の溶断部がくるように、前記 2 つの導電層（5 A， 5 B）の少なくとも一方において、前記パッド部（3 B a， 3 B b）とのコンタクト領域（4 A， 4 B）を含む導電層（5 A， 5 B）部分の幅（W 3）が規定されていることを特徴とする半導体装置。

9．前記コンタクト領域（4 A， 4 B）を含む導電層（5 A， 5 B）部分の前記幅（W 3）が  $6\ \mu\text{m}$ 以上  $14\ \mu\text{m}$ 以下であることを特徴とする請求項 8 に記載の半導体装置。

10．前記フューズ本体部（3 A）の幅が前記 2 つのパッド部（3 B a， 3 B b）の各々の幅より小さく、

前記フューズ本体部（３Ａ）の長さ（Ｌ１）が１．８μmより大きく２０μm以下であることを特徴とする請求項８に記載の半導体装置。

１１．前記２つの導電層（５Ａ，５Ｂ）の少なくとも一方が、対応する前記パッド部（３Ｂａ，３Ｂｂ）に接続されている所定幅（Ｗ３）の部分と、当該所定幅（Ｗ３）の部分より幅が狭い配線部分と、を有することを特徴とする請求項８に記載の半導体装置。

１２．前記２つの導電層（５Ａ，５Ｂ）の少なくとも一方に、当該導電層（５Ａ，５Ｂ）より幅が狭い配線層が接続されていることを特徴とする請求項８に記載の半導体装置。

１３．前記２つの導電層（５Ａ，５Ｂ）間の距離（Ｄ０）が、前記フューズ（３）の前記２つのパッド部（３Ｂａ，３Ｂｂ）間の距離（Ｌ１）より大きいことを特徴とする請求項８に記載の半導体装置。

１４．前記２つの導電層（５Ａ，５Ｂ）の少なくとも一方において、当該導電層（５Ａ，５Ｂ）と前記パッド部（３Ｂａ，３Ｂｂ）とを接続するコンタクト領域（４Ａ，４Ｂ）から前記フューズ本体部（３Ａ）に接したパッド部（３Ｂａ，３Ｂｂ）エッジまでの距離（Ｄ４）が０．２５μm以上で０．９０μm以下であることを特徴とする請求項８に記載の半導体装置。

１５．半導体基板（１）上の積層構造内に導電材料からなるフューズ（３）を有し、当該フューズ（３）が、フューズ本体部（３Ａ）と、フューズ本体部（３Ａ）によって連結されている２つのパッド部（３Ｂａ，３Ｂｂ）とを備えている半導体装置であって、

前記フューズ本体部（３Ａ）の幅が前記２つのパッド部（３Ｂａ，３Ｂｂ）の各々の幅より小さく、

前記フューズ本体部（３Ａ）の長さ（Ｌ１）が１．８μmより大きく２０μm以下である

ことを特徴とする半導体装置。

16. 半導体基板 (1) 上の積層構造内に導電材料からなるフューズ (3) を有し、当該フューズ (3) が、フューズ本体部 (3A) と、フューズ本体部 (3A) によって連結されている2つのパッド部 (3Ba, 3Bb) とを備え、前記2つのパッド部 (3Ba, 3Bb) のそれぞれに導電層 (5A, 5B) が1つずつ接続されている半導体装置であって、

2つの前記導電層 (5A, 5B) の少なくとも一方において、当該導電層 (5A, 5B) と前記パッド部 (3Ba, 3Bb) とを接続するコンタクト領域 (4A, 4B) を含む導電層 (5A, 5B) 部分の幅 (W3) が  $6\mu\text{m}$  以上  $14\mu\text{m}$  以下であることを特徴とする半導体装置。

17. 複数の単位抵抗が接続された抵抗回路を有し、

前記単位抵抗の幾つかにフューズ (3, FUSEA, FESEB) が接続され、

前記フューズ (3, FUSEA, FESEB) が、フューズ本体部 (3A) と、当該フューズ本体部 (3A) によって連結されている2つのパッド部 (3Ba, 3Bb) とを備え、

前記フューズ (3, FUSEA, FESEB) と、前記2つのパッド部 (3Ba, 3Bb) のそれぞれに1つずつ接続されている2つの導電層 (5A, 5B) と、が半導体基板 (1) 上の積層構造内に形成され、

前記2つの導電層 (5A, 5B) 間に電氣的ストレスを印加し前記フューズ (3, FUSEA, FESEB) を溶断したときに、前記導電層 (5A, 5B) と重なる領域から離れた前記フューズ本体部 (3A) 内の位置に当該フューズ (3, FUSEA, FESEB) の溶断部がくるように、前記フューズ本体部 (3A) の長さ (L1) が規定され、

前記電氣的ストレスを印加して溶断するフューズ (3, FUSEA, FESEB) の組み合わせを内部回路 (10, 20) により選択し、前記抵抗回路の抵抗値を変化させる

ことを特徴とする半導体装置。

18. 複数の単位抵抗が接続された抵抗回路を有し、

前記単位抵抗の幾つかにフューズ（3, FESEA, FESEB）が接続され、

5 前記フューズ（3, FESEA, FESEB）が、フューズ本体部（3A）と、当該フューズ本体部（3A）によって連結されている2つのパッド部（3Ba, 3Bb）とを備え、

前記フューズ（3, FESEA, FESEB）と、前記2つのパッド部（3Ba, 3Bb）のそれぞれに1つずつ接続されている2つの導電層（5A, 10 5B）と、が半導体基板（1）上の積層構造内に形成され、

前記2つの導電層（5A, 5B）間に電氣的ストレスを印加し前記フューズ（3, FESEA, FESEB）を溶断したときに、前記導電層（5A, 5B）と重なる領域から離れた前記フューズ本体部（3A）内の位置に当該フューズ（3, FESEA, FESEB）の溶断部がくるように、前記2つの導電層（15 5A, 5B）の少なくとも一方において、前記パッド部（3Ba, 3Bb）とのコンタクト領域（4A, 4B）を含む導電層（5A, 5B）部分の幅（W3）が規定され、

前記電氣的ストレスを印加して溶断するフューズ（3, FESEA, FESEB）の組み合わせを内部回路（10, 20）により選択し、前記抵抗回路 20 の抵抗値を変化させる

ことを特徴とする半導体装置。



- 1...半導体基板
- 3...フューズ
- 3A...フューズ本体部
- 3Ba,3Bb...パッド部
- 4A,4B...コンタクト開口
- 5A,5B...導電層

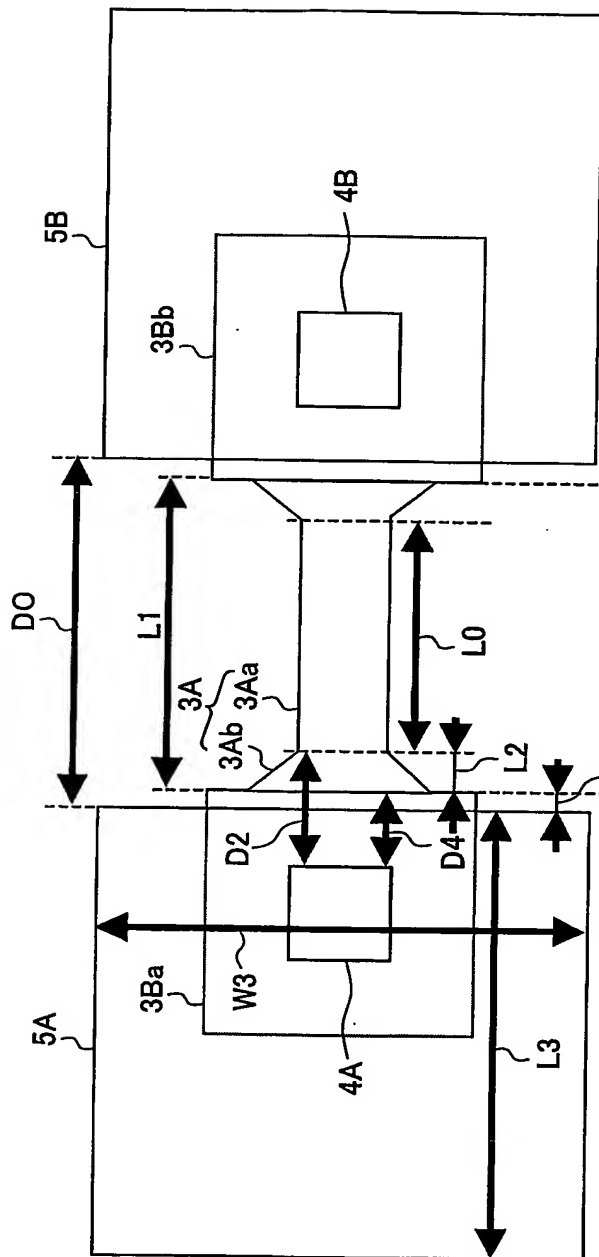


FIG. 1A

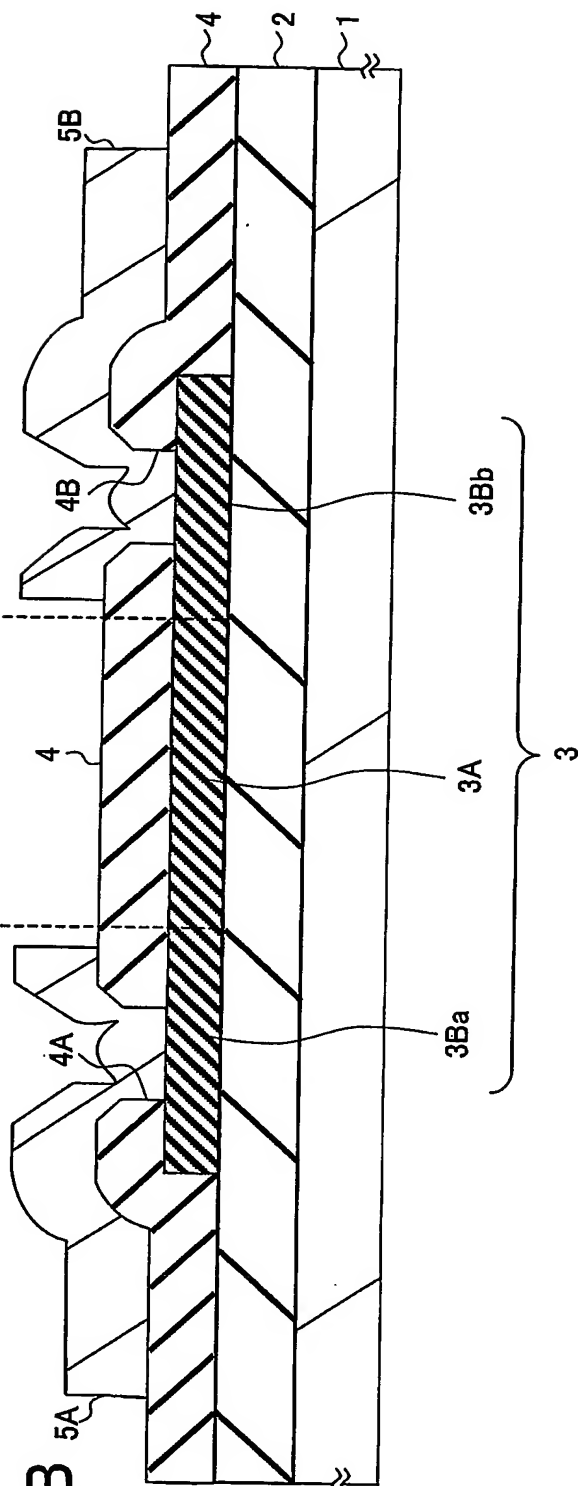


FIG. 1B

FIG. 2

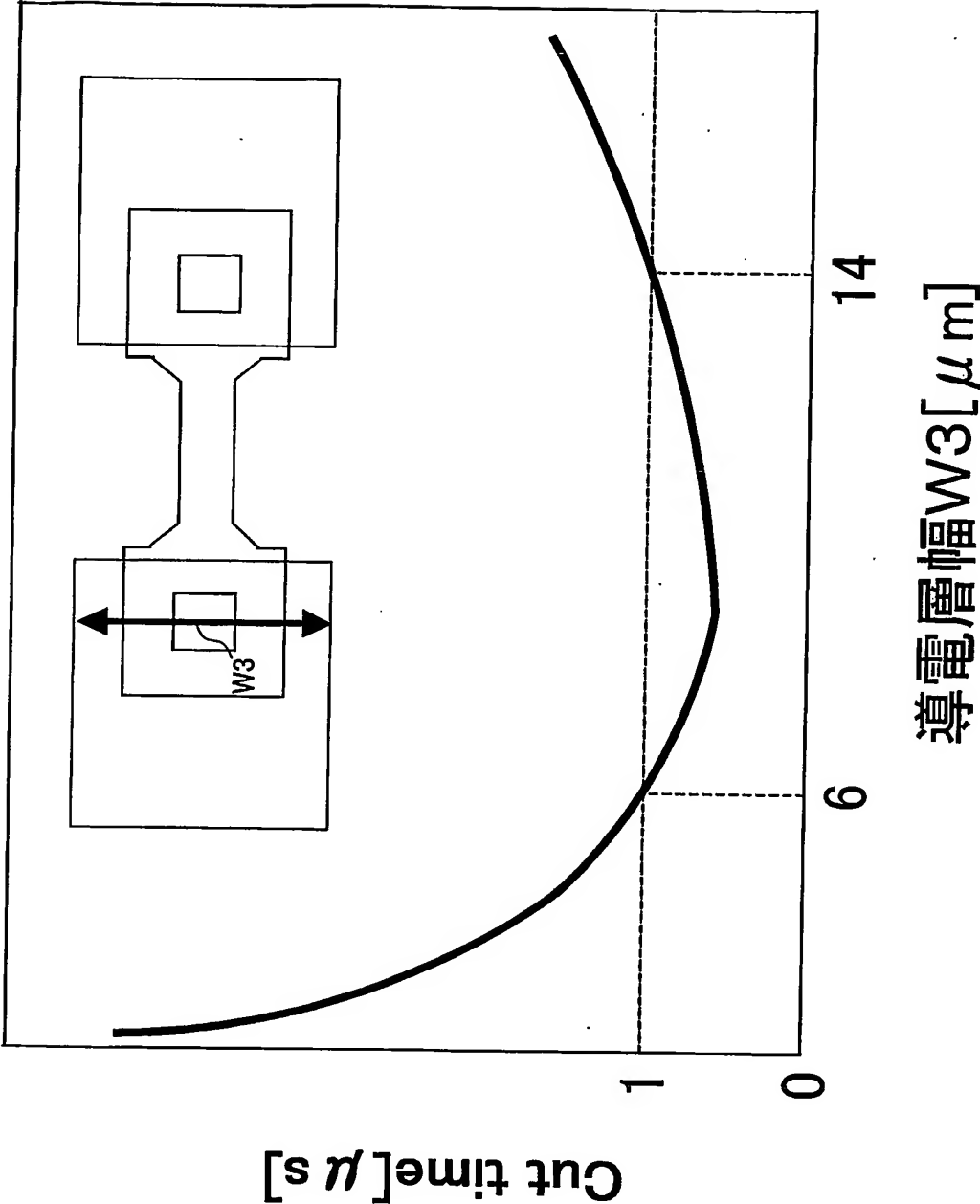
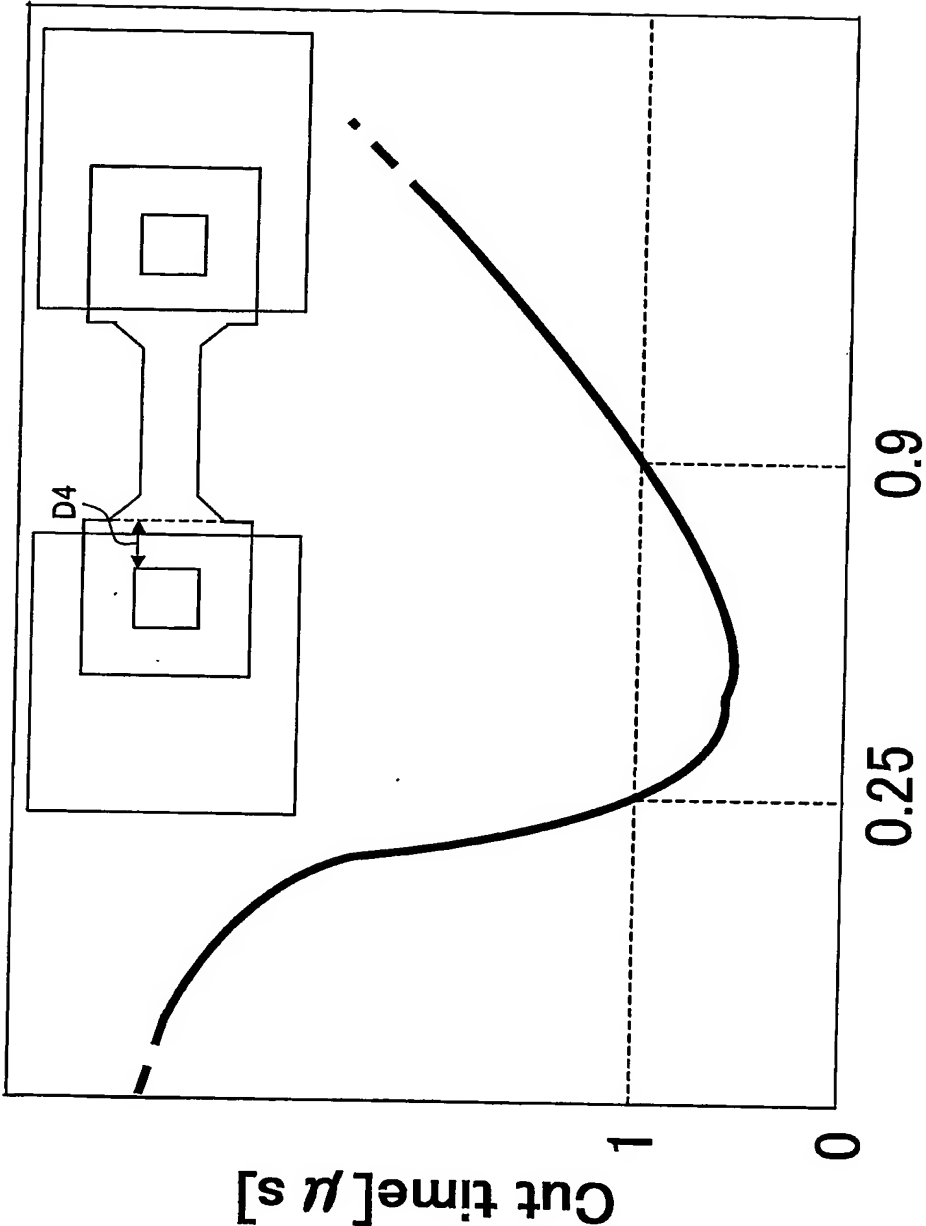


FIG. 3



バッド部エッジ-コンタクト距離D4[μm]

FIG. 4

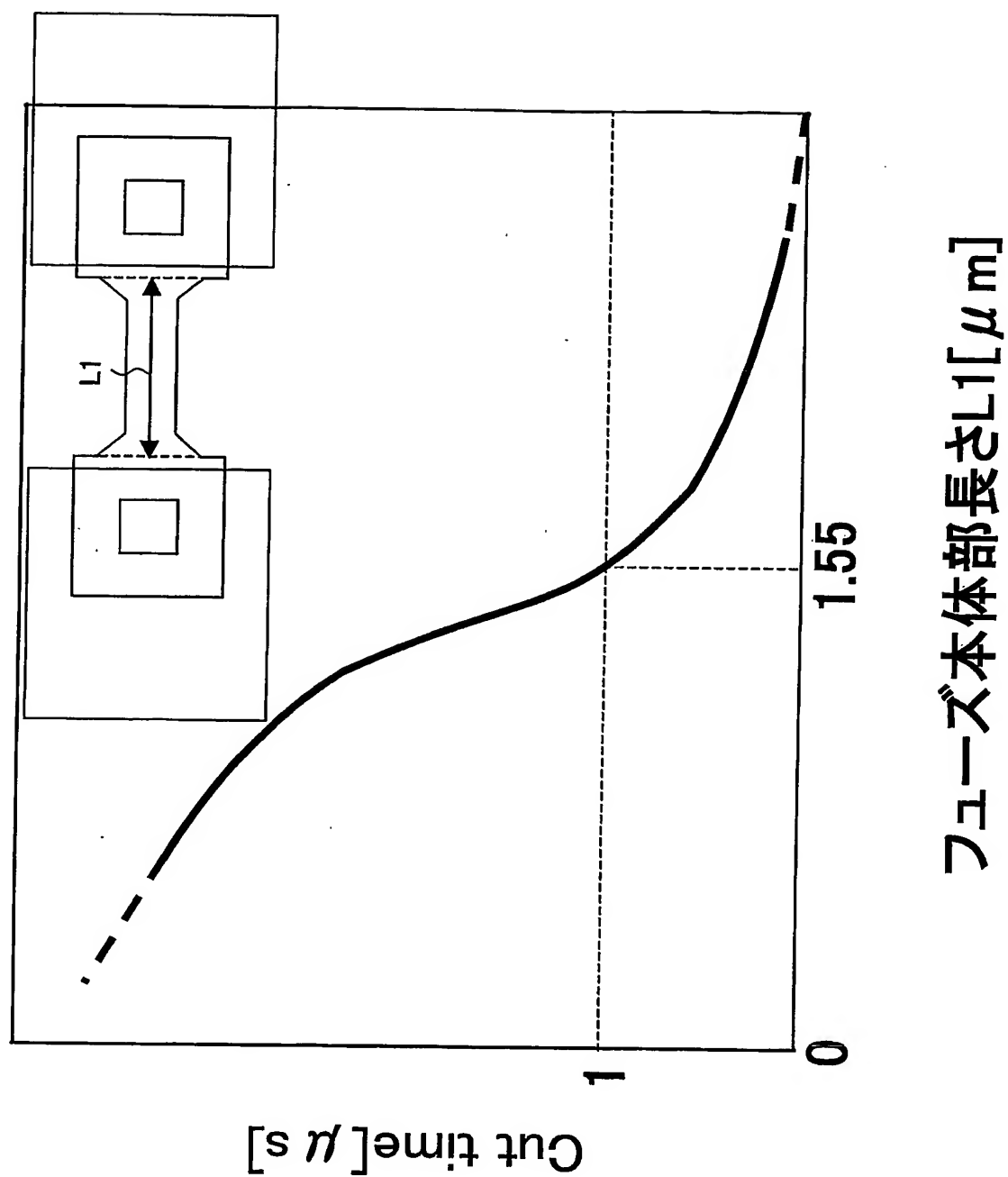


FIG. 5

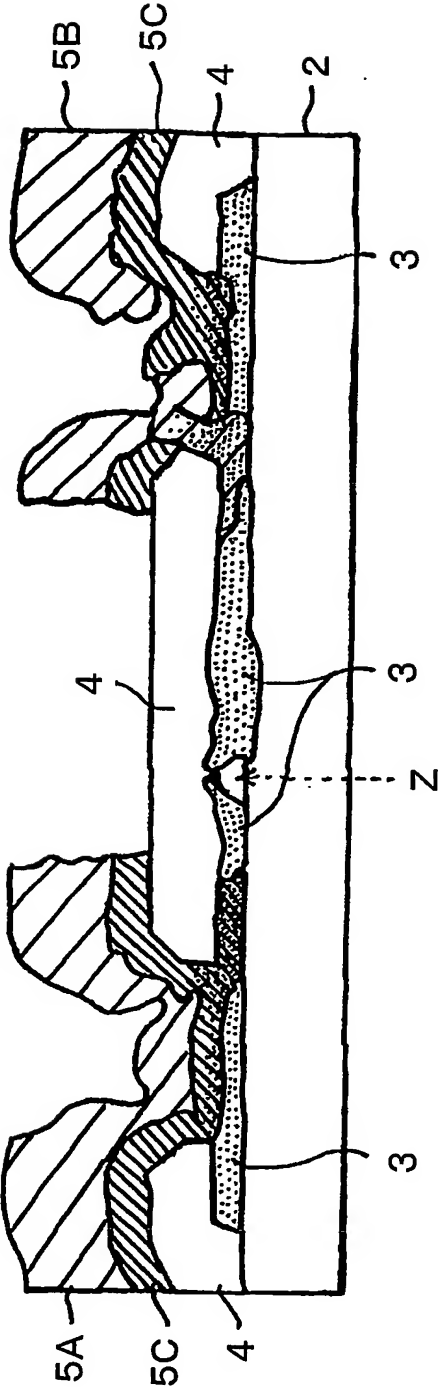
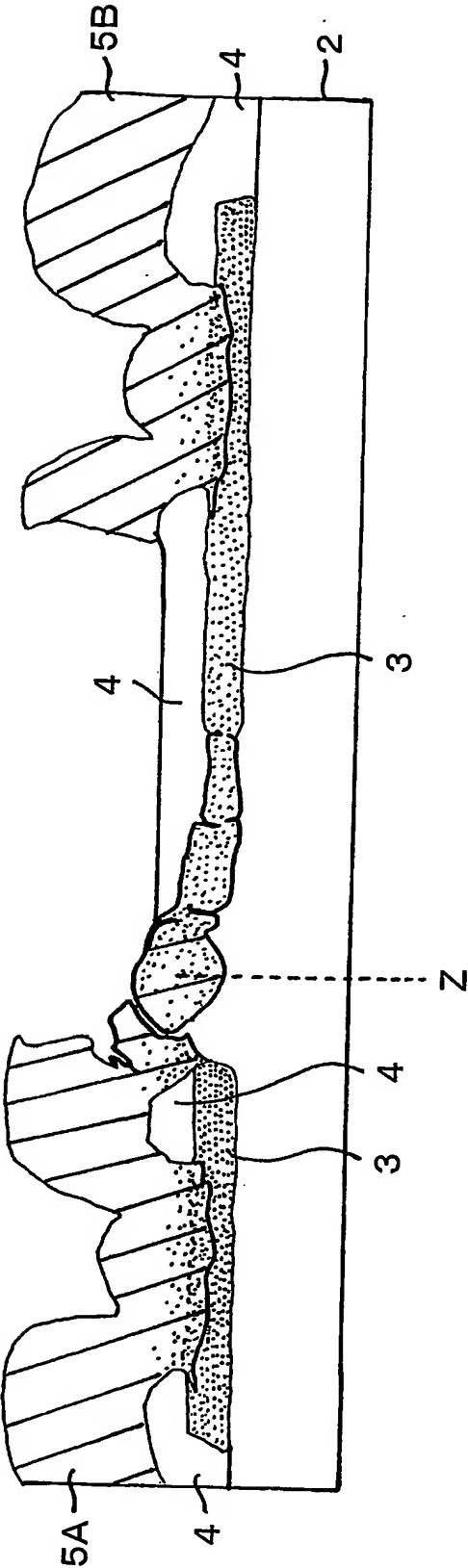


FIG. 6



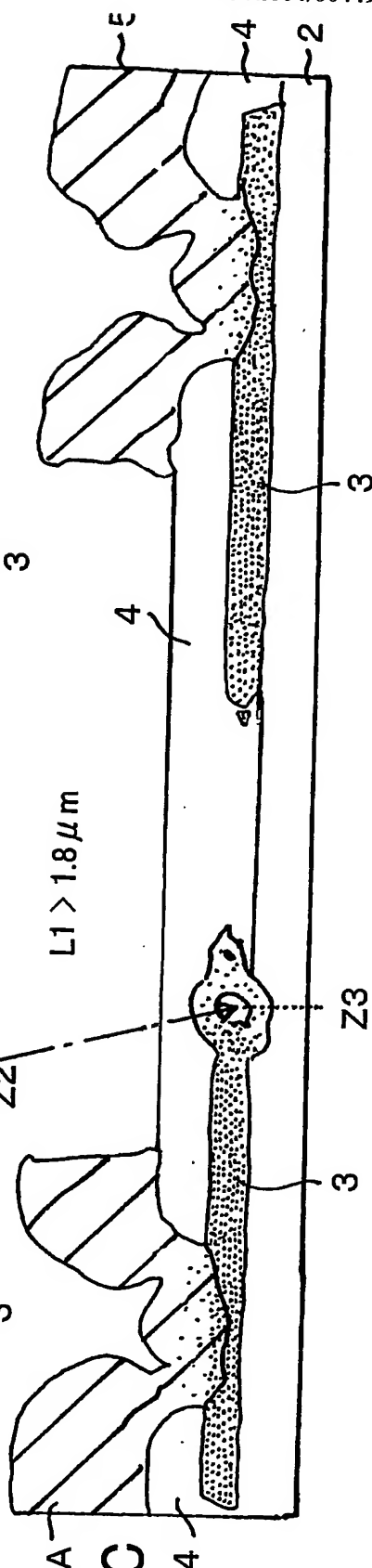
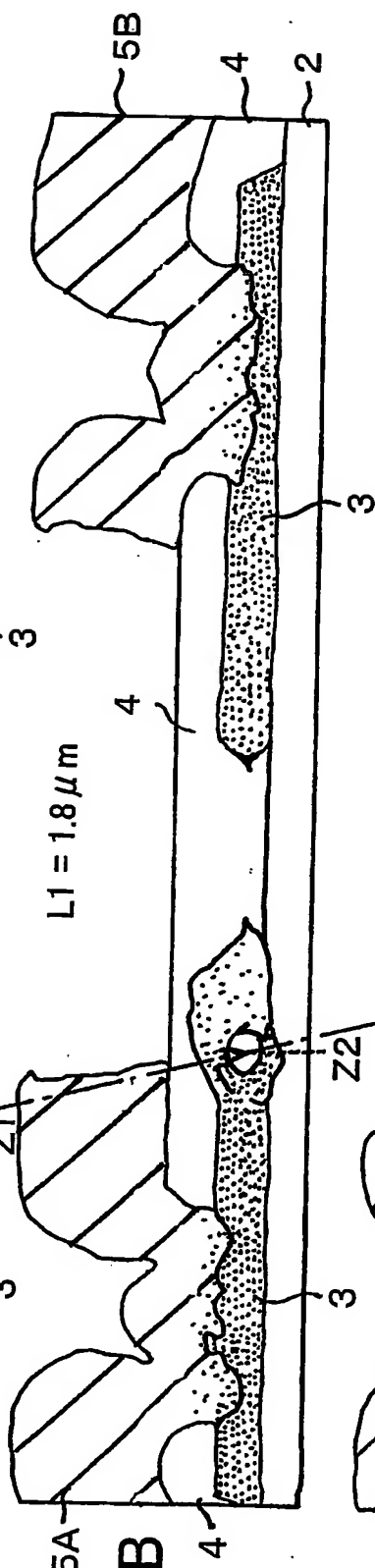
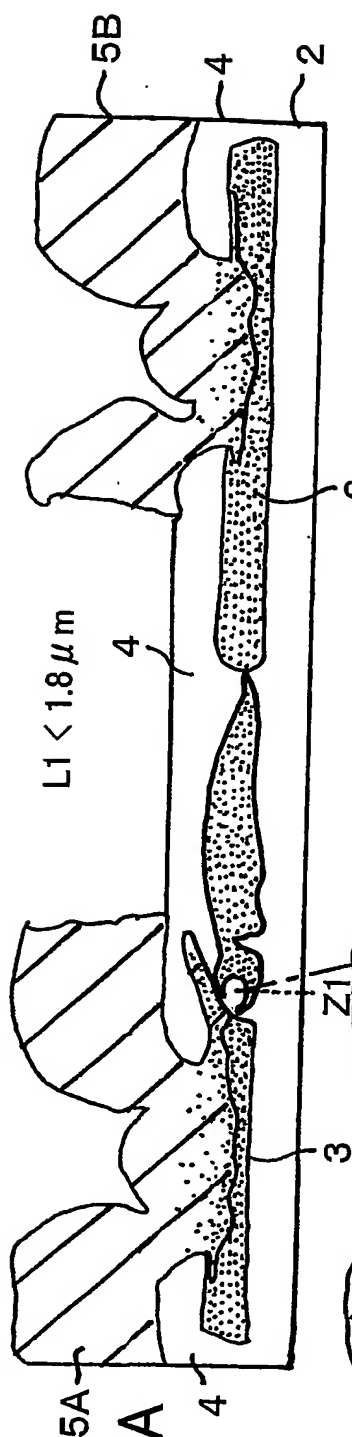


FIG. 8

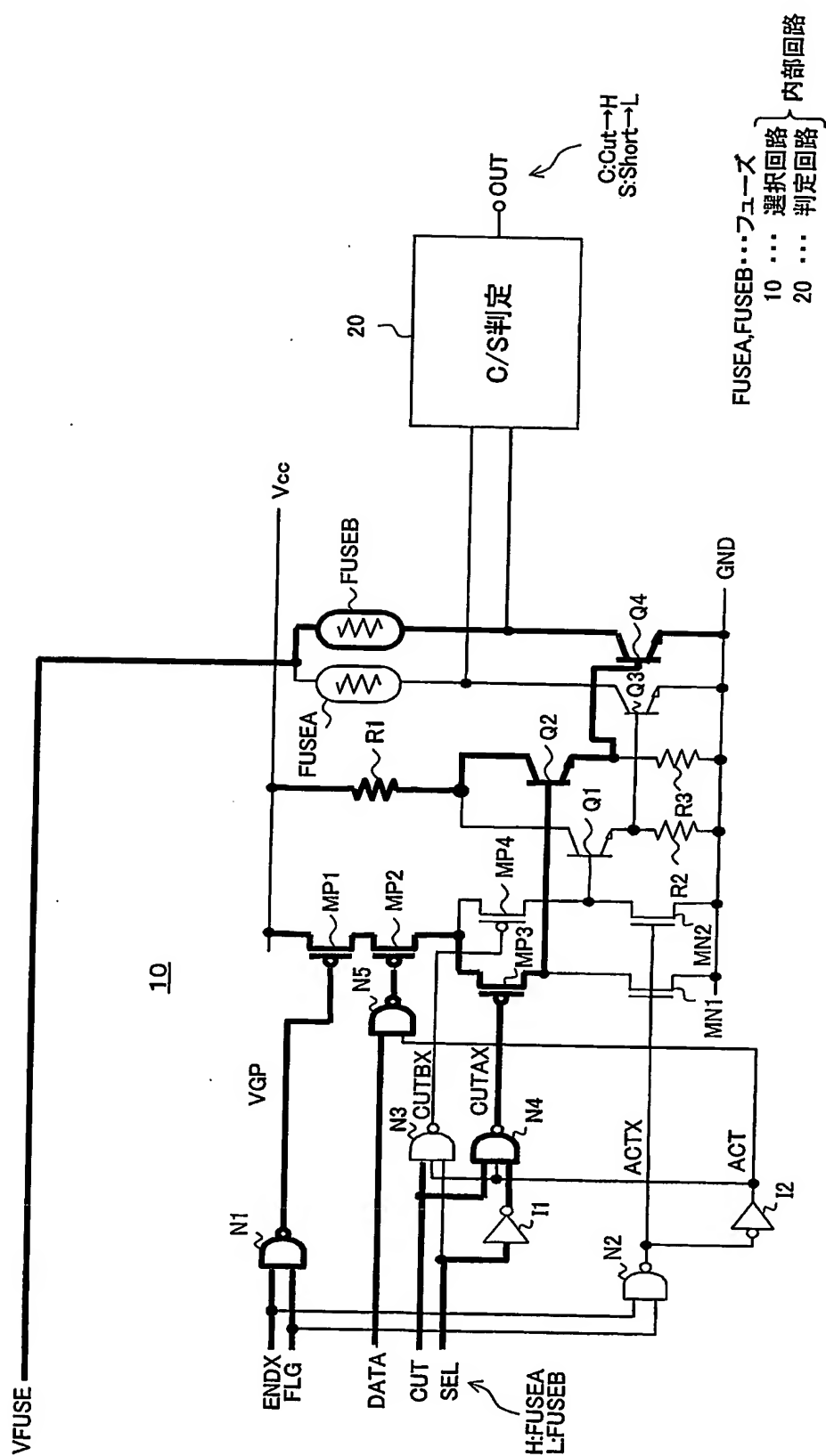
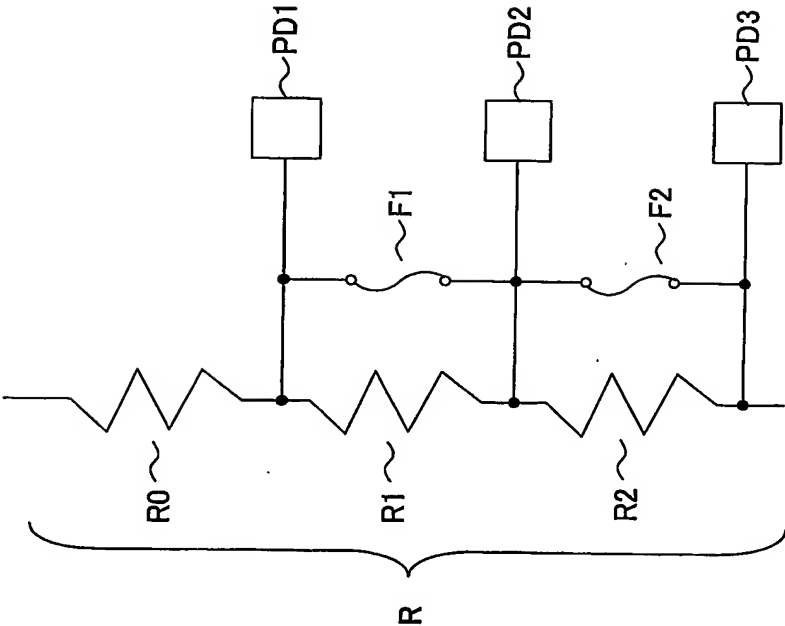




FIG. 9



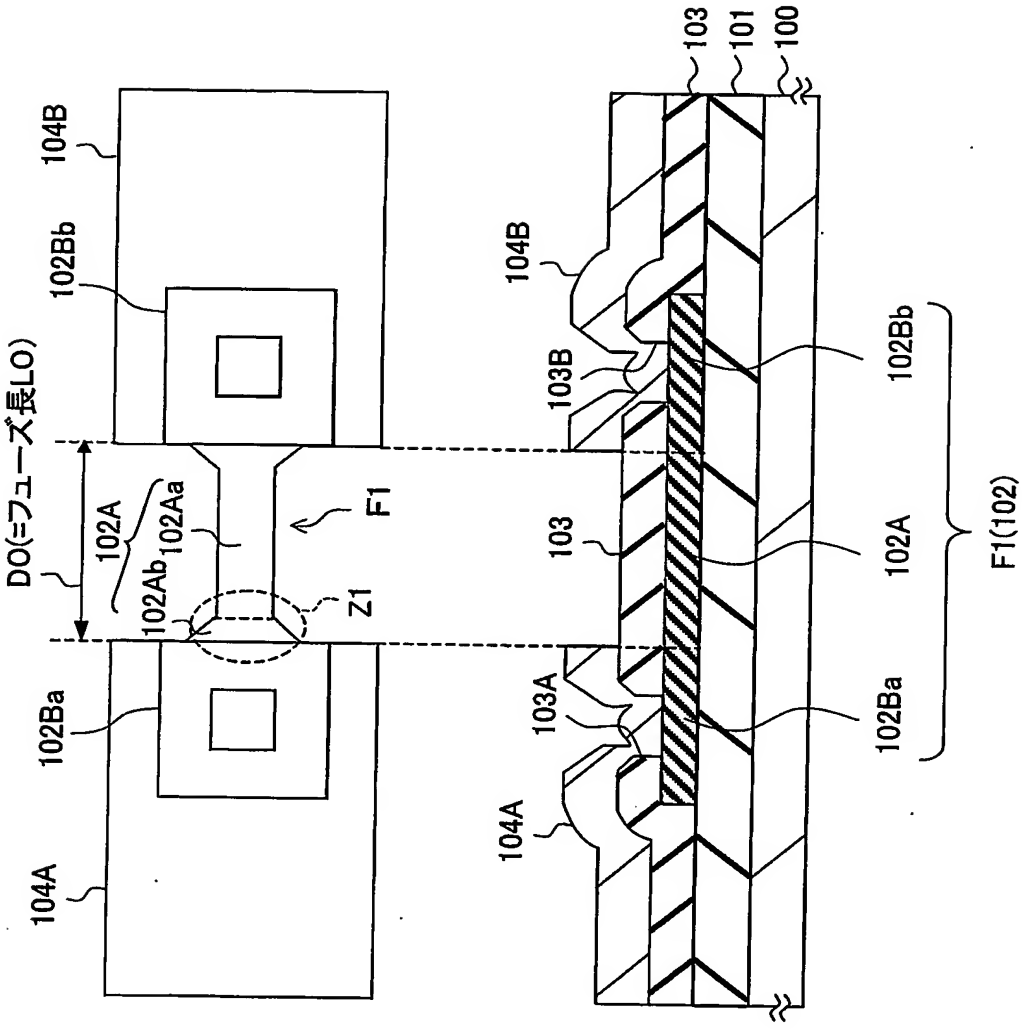


FIG. 10A

FIG. 10B

## 符号の説明

- 1 …半導体基板、
- 2 …絶縁膜、
- 5 3 …フューズ、
- 3 A …フューズ本体部、
- 3 B a , 3 B b …パッド部、
- 4 …層間絶縁膜、
- 4 A , 4 B …コンタクト領域、
- 10 5 A , 5 B …導電層、
- 1 0 …選択回路

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004490

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L21/82, H01L27/04

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L21/82, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 7-122646 A (Hitachi, Ltd.), 12 May, 1995 (12.05.95), Full text; Figs. 1 to 4 (Family: none)	1-18
X	JP 11-512879 A (Intel Corp.), 02 November, 1999 (02.11.99), Full text; Fig. 1 & WO 1997/012401 A1 Full text; Fig. 1 & US 5708291 A & US 5969404 A & WO 1998/027595 A1 & EP 857357 A1	1-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
03 June, 2004 (03.06.04)

Date of mailing of the international search report  
22 June, 2004 (22.06.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004490

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-57217 A (International Business Machines Corp.), 22 February, 2002 (22.02.02), Full text; Fig. 7 & WO 2001/093331 A2 Full text; Fig. 4 & US 6368902 B1 & EP 1285463 A1 & DE 10125407 A1	1-18

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/82, H01L27/04

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/82, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 7-122646 A (株式会社日立製作所) 1995.05.12, 全文, 第1-4図 (ファミリーなし)	1-18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

03.06.2004

国際調査報告の発送日

22.6.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
大嶋 洋一

4L 9170

電話番号 03-3581-1101 内線 6764

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-512879 A (インテル・コーポレーション) 1999. 11. 02, 全文, 第1図 & WO 1997/012401 A1, 全文, 第1図 & US 5708291 A & US 5969404 A & WO 1998/027595 A1 & EP 857357 A1	1-18
X	JP 2002-57217 A (インターナショナル・ ビジネス・マシーンズ・コーポレーション) 2002. 02. 22, 全文, 第7図 & WO 2001/093331 A2, 全文, 第4図 & US 6368902 B1 & EP 1285463 A1 & DE 10125407 A1	1-18